

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-064430
 (43)Date of publication of application : 10.03.1989

(51)Int. CI. H04L 1/00
 H04L 7/00

(21)Application number : 63-207879 (71)Applicant : YOKOGAWA HEWLETT PACKARD LTD
 (22)Date of filing : 22.08.1988 (72)Inventor : UIRIAMU JIEI
 MATSUKUFUAARANDO
 RICHIYAADO SHII UOOKAA

(30)Priority

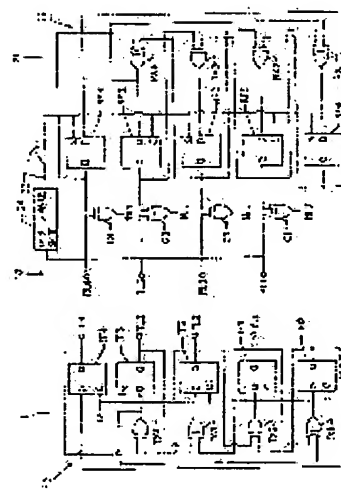
Priority number :	87 89291	Priority date :	25.08.1987	Priority country :	US
-------------------	----------	-----------------	------------	--------------------	----

(54) PSEUDO-RANDOM WORD SEQUENCE SYNCHRONIZING DEVICE

(57)Abstract:

PURPOSE: To form a bit error rate tester to be able to test a communication line to have the different number of parallel lines by providing a pattern processor and a synchronizing device to equip an injector.

CONSTITUTION: A bit error rate tester 10 equips a transmitter side generator 12, a transmitter 11 to equip parallel transmitting lines TL1~TL4, a receiver side generator 22 to be practically same as a constituting element to which the transmitter 11 corresponds and a receiver 21 to equip receiving lines RL1~RL4. The receiver side generator 22 to equip registers RF0~RF4 and XOR gates RX1~RX4 generates a pseudorandom word sequence. A pattern processor 24 generates an injecting signal as the function of a pattern received by the receiver 21. An injector 23 injects a prescribed bit pattern to the registers RF0~RF4 according to the injecting signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]



特願平 00-52546 号

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭64-64430

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月10日

H 04 L 1/00
7/00C-8732-5K
C-6914-5K

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 擬似ランダム・ワード・シーケンス同期装置

⑯ 特 願 昭63-207879

⑰ 出 願 昭63(1988)8月22日

優先権主張 ⑱ 1987年8月25日 ⑲ 米国 (U S) ⑳ 089,291

㉑ 発 明 者 ウィリアム・ジェイ・ アメリカ合衆国カリフォルニア州マウンテン・ビュー ナ
マックフアーランド ンバー152・エスキューラ・318

㉒ 発 明 者 リチャード・シー・ウ アメリカ合衆国カリフォルニア州バロ・アルト ナンバー
オーカー 103・タンランド・ドライブ・1090

㉓ 出 願 人 横河・ヒューレット・ 東京都八王子市高倉町9番1号
パツカード株式会社

㉔ 代 理 人 弁理士 長谷川 次男

明 細 書

1. 発明の名称

擬似ランダム・ワード・シーケンス同期
装置

2. 特許請求の範囲

(1) 並列チャンネルを通る2進シーケンスを受
信する受信手段と、特性多項式を備え擬似ランダム・ワード・
シーケンスを発生する擬似ランダム・ワード
発生装置と、前記受信手段に結合され該受信手段によっ
て受信されたパターンの関数として注入記号
を発生するパターン処理装置と、前記注入信号に応じて所定のビット・パ
ターンを前記擬似ランダム・ワード発生装置
に備えられた複数のレジスタに注入する注入
手段と、を備えて成り、前記擬似ランダム・ワード発
生装置と同じ特性多項式を有する到来擬似ランダム・ワード・シーケンスが前記受信手段
によって受信されたときに前記擬似ランダ
ム・ワード発生装置が前記到来擬似ランダ
ム・ワード・シーケンスに同期される装置。(2) 前記特性多項式がN次から成り、前記パ
ターン処理装置が前記チャンネルの1つを選
るビット・シーケンスを受信するために結合
されたりセット可能なNビット・カウンタを
備えている請求項(1)記載の装置。(3) 前記擬似ランダム・ワード発生装置がN次
の特性多項式を備え、W個の一様なずれた擬
似ランダム・ビット・シーケンスの複製を備
え、前記パターン処理装置が前記受信手段の
最大でW個のチャンネルへ結合されて前記チ
ャンネルを通して受信された前記擬似ランダ
ム・ビット・シーケンスの複製の相対位相を
決定し、前記パターン処理装置が前記相対位
相決定の関数として交差接続信号を発生する
請求項(1)記載の装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はディジタル通信に関するものであり、更に詳細には、ビット誤り率試験器用同期装置に関する。

〔発明の技術的背景及びその問題点〕

ビット誤り率試験器は各々がそれぞれの擬似ランダム・シーケンス(sequence)発生装置を備えた送信機及び受信機から構成することができる。受信機側発生装置は一般に送信機から受信したシーケンスを「予言する」ことができるように送信側発生装置を複製したものである。受信機は一般に局部的に発生したシーケンスを送信機から受信したシーケンスと比較する比較器を備えているので、送信機の誤りを評価することができる。各送信シーケンスは擬似ランダム・ビット・シーケンス(PRBS)であることが望ましい。

PRBSは多数の複製や試験方法に必要な真の乱数シーケンスという好ましい統計的性質を分け持っている周期的2進シーケンスである。たとえば、N次のPRBSでは、全部が0から成るスト

リング以外の可能な各Nビット2進シーケンスは、PRBSの各サイクルにおいて表わされる。これによってシステムの性能をあらゆる可能な入力条件のもとで試験する際にPRBSが役立つことになる。

PRBSは一つの排他的論理和(XOR)ゲートを備えたフィードバック・ループを有するシフトレジスタで発生することができる。長さNビットのシフトレジスタはN次の長さ $L=2^N-1$ のPRBSを発生するのに充分である。PRBSの発生割合を最大にするには、単一PRBSの一例にずらしたW個の複製を発生し、多重化して個々の流れのビット・レートのW倍で元のPRBSを形成することができる。N個の並列ラッチとW個のXORゲートを備えた発生器は、John J. O'Reillyが「The Radio and Electronic Engineer」vol.45, No.4(1975年4月)PP.171~176に示したように、N次のPRBSシーケンスの、W個の一例にずらした複製を発生するのに充分である。

伝統的に、並列PRBSはより高速の単一PR

BSを発生するように作成されてきた。しかしながら、PRBSは、並列入力を用いて、並列通信リンクや、マルチプレクサのような装置を試験するのに也可以使用することができる。このような用途では、このように発生した並列PRBSは擬似ランダム・ワード・シーケンス(PRWS)を構成する。

直列PRBS送信の同期装置は周知である。たとえば、受信したPRBSの流れはシフトレジスタを満たすのに注入することができ、次にそのフィードバック・ループを閉じて同期装置が自動的に、同期的に同じPRBSシーケンスを発生できるようにすることができる。PRWS同期装置は1ビットの長さの並列ワードを並列ラッチにロードすることにより同期することができる。1985年の通信の測定に関する国際会議にI. RampaiguiとJ.J. O'Reillyとが提出した論文「高ディジット・レート送信システムに対する直列並列ビット誤り率測定(Series-Parallel Bit-Error-Ratio Measurement For High Digit Rate Transmission System

as)」を参照のこと。

並列ラッチによる同期機構を用いるビット誤り率試験器は固定ワード幅の送信に限られる。たとえば、発生装置が幅WビットN次の送信に対して設計されていれば、同期は送信がW個のチャンネルにわたって有効な場合にのみ可能となる。欠点は異なる数の並列線路を試験するたびごとに発生装置を取替えるか構成しなおさなければならぬことである。

利用可能な並列同期装置についての他の問題点は通信チャンネルが交差しているとき同期化する能力がないことである。これはデマルチプレクサを試験しているとき生ずることがある。または、単に通信リンクを完成する際に不良ケーブルを選択することがある。

ビット誤り率試験器に単一発生装置を使用し、そして同期装置に、発生装置の許容チャンネル数まで、試験している通信チャンネルの数に関係なく同期させて、所定PRBSの位相の異なる複製を発生する能力を与えることができれば費用効率

が良く、実用的である。その他、通信リンクの並列チャンネルが交差している場合でも同期化を行うことができることが望ましい。

〔発明の目的〕

本発明は異なる数の並列線路を有する通信線を試験できるビット誤り率試験器を提供することを目的とし、加えてこの試験に適した同期装置を提供することを目的とする。

〔発明の概要〕

前述の、及び他の目的はパターン処理装置及び注入器を備えた同期装置により達成される。注入器は所定の、あるいは計算されたビット・パターンを受信機のPRWS発生装置に注入してこれを統合受信機(incorporating receiver)により受信された到来PRWSシーケンスと同期させる。注入器のタイミングは一つ以上の並列受信線路のビット・パターンに忠実するように配列されているパターン処理装置により決められる。

本発明の一実施例においては、パターン処理装置はリセット可能なNビット・カウンタを備えて

いる。ただしNはPRWSを構成するPRBSの特性多項式の次数である。カウンタは受信線路の一つに沿ってPRBSを受信するように配設され、N個の1から成るパターンを検出するようになっている。このパターンはPRBSのサイクルごとに正確に1回発生する。カウンタは1が見つかるごとに増進し、0が見つかるごとに自身をリセットする。カウンタはPRBSのサイクルごとに、すなわち、N個の1から成るパターンが発生するごとに1回ずつ、Nまでカウントする。このカウントに達したら、カウンタは注入信号を出力する。

この信号はPRBSのこのパターンに続く、PRWSのN×1ビット・ワードを受信機側発生装置の並列ラッチに注入するようにトリガーする。次に該発生装置のフィードバック・ループが閉じて該発生装置が自動的に且つ同期して受信PRWSとともに動作できるようになる。この比較的簡単な手法の長所は、受信機側発生装置が、実際に送信中のチャンネルの、1とWとの間の数に関係なく常に同期することができるということである。

ここでWは受信機側発生装置が発生することができる一様なPRBSの複製の最大数である。

本発明の他の実施例によれば、パターン処理装置はすべての受信線路と結合して、受信したPRBSシーケンスの相対位相を確認するようになっている。この確認は送信において交差するか回転するかすることになるチャンネルを見分けるのに利用することができる。こうしてパターン処理装置はユーザに、到来したり局部的に発生したPRBSの複製に適合するように線路を交換し、あるいは交差接続アレイを制御するように、合い図することができる。

第1の実施例に比較して簡略さと経済性とを幾分犠牲にしているが、後の実施例は受信に使用する線路や交差する可能性のあるチャンネルとは無関係に同期化を行うことができる。しかしながら、使用するチャンネルが利用可能な全チャンネル数より少ない場合には、到来シーケンス及び局部発生シーケンスとの適合を完全に確認するには別の情報が必要になることがある。従って、パターン処

理装置に完全なPRWSに対する、所定の線路で受信されたシーケンスの位相を知らせ、あるいはパターン処理装置に送信用に選択したシーケンスの相対位相を知らせる手段を設けることができる。

いずれの実施例においても、本発明は到来したPRBSシーケンス、および対応する局部的に発生したPRBSシーケンスの各々を比較器のそれぞれの入力と結合することによりビット誤り率試験器を作ることができる。このようなビット誤り率試験器は、使用している1からWまでのどんな数のチャンネルに対しても発生装置を交換したりあるいは再構成したりせずに同期化を行うことができるという点で先行技術の装置より柔軟性がある。チャンネルの交差や回転をつき止め補正するというようにも柔軟性が強化される。

〔発明の実施例〕

ビット誤り率試験器10は、第1図に示すように、送信機11と受信機21とを備えている。送信機11は送信機側発生装置12と並列送信線路TL1~TL4とを備えている。受信機21は、送信機11の対応

する構成要素と実質上同一の、受信機側発生装置22と受信線路RL1～RL4とを備えている。送信機21はスタート・ライン13を備えているが、受信機21は注入器23を備えている。受信機21はまた従来ビット誤り率試験器と共に使用されているXORゲートの形の4個の比較器C1～C4を備えている。パターン処理装置24は、リセット可能なカウンタの形をしているが、ビット誤り率試験器10を同期化する新規な方法を提供する。

送信機側発生装置は並列ラッチとして配設された5個のフリップフロップ・レジスタTF0～TF4、及びレジスタとフィードバック関係に配設された4個のXORゲートTX1～TX4から構成されている。送信機側発生装置12は、2図に示してあるように、そのそれぞれの送信線路TL1～TL4で識別される単一PRBSの様にずれた4個の複製から成るPRWSを発生する。5番目のPRBS複製は、第2図に分離して示してあるが、それを発生するレジスタRF0で識別されるが、送信に利用することはできない。

送信機側発生装置12の初期設定はスタート・ライン13を作動させることにより行うが、これによりレジスタTF3が、その設定入力Sが作動されて論理1にセットされ、一方残りのレジスタが、そのそれぞれのクリア入力Cが作動されて論理0にセットされる。これにより受信機側発生装置22が、第2図の時間ビット1で示すように、5×1のワードの01000を持つように初期設定される。RL0及びTL1～TL4で示される第2図の5ビット・ワードは続くクロック・サイクルにわたり発生される。第1図及び第3図の箱で表わしたフリップフロップ・レジスタRF0～RF4と他のすべての構成要素は暗黙のクロック入力で駆動される。レジスタTF1～TF4で発生されたビットはそれぞれ送信線路TL1～TL4に沿って送信される。

送信機側発生装置で使用するレジスタの数Nは発生するPRBSに対する多項式の次数でもある。PRBSのサイクル長は $2^N - 1$ である。第2図のPRBSのサイクル長は $2^5 - 1 = 31$ である。

る。並列ラッチ機構の発生装置においては、XORゲートTX1～TX4の数Wは利用可能な様にずれた出力の数を表わす。この場合には利用可能な出力の数は $W = 4$ である。

正しく同期したときは、BER受信機21は送信機側発生装置12により送信されたPRWSを受信線路RL1～RL4で受ける。通常RL1はTL1からの、RL2はTL2からの送信を受ける、以下同様。比較器C1は対応する遠隔発生シーケンス及び局部的発生シーケンスをその入力で受ける。理想的には、入力に常に同じで、比較器C1は理論的に低い出力を維持している。ただし、受信シーケンスに誤りが反映していると比較器C1からの論理的に高い出力として示され、これは通信チャンネルTL1～RL1に対するビット誤り率を計算する際に使用することができる。残りのチャンネルに対するビット誤り率は残りの比較器C2～C4の出力により求めることができる。

受信機側発生装置22は送信機側発生装置12から受信したPRWSを「予言する」ことができる。何

故なら受信機側発生装置22は送信機側発生装置12と同じだからである。受信機側発生装置22は送信機側発生装置12の対応する構成要素と同じ構成で配設されたレジスタRF0～RF4とXORゲートRX1～RX4とを備えている。

同期化は次のように新規な方法で行われる。パターン処理装置24は、受信線路RL1と結合しているが、基本的にはリセット可能な5ビットのカウントである。作動すると、パターン処理装置24は受信線路RL1に沿って1を受信するごとにカウントを上げ、0を検出するごとに自身をリセットする。連続する5個の1を検出すると、パターン処理装置24は注入信号を発生し、注入器23を作動させて、受信機側発生装置22を所定のビット・パターンを持つように初期設定する。

選定された11111のパターンは、第2図に示すように、時間ビット3～7の間に延びている。従って、パターンは時間ビット7で検出される。これは注入器23をトリガーして受信機のレジスタRF0～RF4を、第2図の時間ビット8での5ビ

ット・ワードである、ワード・パターン 10101を有するように初期設定し、同期化が行われる。

この同期化機構はTL1及びRL1の適格なリンクにのみ関係していることに注目すること。その他の線路は交差あるいは不使用とすることができ、同期化を達成することができる。このように、BER試験器10は、利用可能なチャンネル数までのどんな数 $W=4$ の並列チャンネルをも試験することができる。第1図の実施例はもっと大きな N と W とに直接拡大することができる。パターン処理装置との線路接続が正しく行われている限り、 W より少ない数のチャンネルを送信する場合でも同期化を達成できる。

前述の実施例の原理は、第1図の送信機と同一の送信機31、及び一層複雑なパターン処理装置44を有し交差接続アレイ45が付加されている点で受信機21とは異なる受信機41から構成されるBER試験器30に拡張される。このBER試験器30は、同期化の他に、比較器C1～C4への受信線路RL1～RL4を適切に引き出すことができるので、

TL2上で検出する。このパターン検出の時間でPRWS全体の同期化が決定する。ただし、受信線路RL1、RL3、及びRL4をさらにTL2、TL3、及びTL4と正しく合わせなければならない。

次にパターン処理装置44は次の11111パターンが残りの受信線路R1、R3、及びR4のどれかに現れるのを探す。8ビット後、時間ビット15で、11111パターンを受信線路RL3に見つけ、そのTL2との接続を確立する。8ビット後の時間ビット23で、パターン処理装置44はチャンネルRL4に他の11111パターンを見つけ、RL4はこうしてTL3と接続され、TL4とRL1との間でのチャンネルが暗示される。

パターン処理装置44はこれら結合を利用して交差接続アレイ45を構成する。RL1は比較器C4のそれぞれの入力に接続され、RL2はC1に接続され、RL3はC2に、RL4はC3に接続される。このようにして、次の11111パターンがRL2により、たとえば、時間ビット39で見つ

たとえば、比較器C1は、チャンネルがたとえ送信と受信の間で交差していても送信線路TL1に関するビット誤り率を示すことができる。受信機41はその他については第1図の受信機21と同じであって、同じ発生装置22と同様の注入器23とを組込んでいる。残りの同じ構成要素は第1図に使用した参照記号を付けてある。

BER受信機41の好ましい動作態様を以下のステップにより例示する。初期設定のステップは送信機31と受信機41との間に一つの通信リンクを確定する。たとえば、送信線路TL1は識別用循環5ビット・パターン00001を送信する。代わりにTL2を使用すればパターンは00011になる。パターン処理装置44は受信チャンネルRL2で00001のパターンを検出し、RL2がTL1に接続されたことを確認する。

次にPRWSの送信が $W=4$ チャンネルのすべてで始まる。パターン処理装置44は次の11111パターンを時間ビット7でたとえば、TL1とRL2との間でチャンネルを決定している受信線路R

してから注入器43を作動することにより同期化が行われる。同期化が行われると、各比較器C1～C4は同じ番号の送信チャンネルTL1～TL4のビット誤り率を反映するデータを送信する。

注入器43は10:5マルチプレクサ46を備えている。受信機側発生装置42が同期すると、マルチプレクサ46はレジスタRF0～RF4への入力を「直通」接続するので、接続は送信側発生装置31の接続に従う。パターン処理装置44が線路47に沿って注入信号を出力すると5ビット母線48に沿って供給されるパターン処理装置44からのデータがレジスタRF0～RF4に1クロック、サイクルの間入力される。現在の例では、パターンは10101である。ただし、他の動作モードでは、パターン処理装置44はレジスタRF0～RF4へ注入するどんなデータ・パターンをも選択するという柔軟性を持っている。

アレイ45との所要交差接続は送信中のシーケンスの位相関係の知識のみによって決り、実際に使用するチャンネルの数には無関係である。出発点

でこれが未知であれば、それは少なくとも一つの送信チャンネルに対応する受信線路と送信線路とが、送信線路の一つに前述の初期設定手順を適用するか、あるいは他の手段を通じてわかたら、確定することができる。従って、完全な同期化と正しい交差接続とは送信に利用しているどんな組合せのチャンネルに対しても行うことができる。

パターン処理装置への入力及び出力と、注入パターンとは当業者によればどんなPRWSに対しても一般化することができる。それ故所要ハードウェアの選択とプログラミングとは簡単である。

交差接続アレイはパターン処理装置に結合している受信機と比較器に結合している受信機との間に設置する必要はない。交差接続アレイはパターン処理装置結合の前にまたはレジスタ出力と比較器との間に設置することができる。後者の場合には、比較器と送信線路との対応を変えなければならない。代わりに、一対の交差接続アレイを、一つをレジスタ出力とXORゲート入力との間、一つをXORゲート出力とレジスタ入力との間に入

れて、発生装置に組込むことができる。受信したシーケンスと局部発生シーケンスとの対応を得るのにその他の手段を採用することができる。

パターン処理装置は交差接続アレイが無くても使用することができる。この場合にはパターン処理装置は単にユーザに交差接続情報を伝えるだけである。それ故ユーザは所定の対応、たとえばTL1とRL1、TL2とRL2などを取るために接続替えすることができる。

上述の初期設定ルーチンは同期化には不必要である。初期設定は送信に利用可能なW本の線路全体より少ない線路を使用する場合に正しく交差接続するのに役立つ。ただし、交差接続を必要とする用途で交差接続を行うのに他の情報で充分なこともある。

交差接続は使用するすべての送信線路の相対位相が既知である場合に完全に確定することができる。相対位相は送信シーケンスを供給する送信線路またはレジスタが既知ならばわかる。従って、送信線路TL2とTL4とを使用すれば、どの受

信線路を使用したかに無関係に受信シーケンスをC2及びC4に正しく伝えることができる。もちろん、パターン処理装置はプログラムされ且つ図示のインターフェース・ポート1/0を通して、たとえばTL2とTL4とがシーケンスの源であることを通知されなければならない。所要の交差接続は次のように行われる。

初期設定ルーチンが存在しない状態で、パターン処理装置44は使用されているすべてのチャンネルで11111パターンを探し始めることができる。検出したら、11111パターンを他のチャンネルで探す。この第2の、及び後続の11111パターンが検出されると、現在のパターン検出と前のパターン検出との間のビットの数を確認する。検出は少なくとも一つの奇数間隔、たとえば、7、15、または23ビットが検出されるまで継続することができる。

奇数の検出が行われる受信線路は最低番号の活動送信線路に対応する。TL1が送信している場合には、パターンはTL1からであり、TL1が

送信していなくてTL2が送信している場合には、パターンはTL2からであり、以下同様。TL2が最低送信線路であり且つ奇数の11111パターンがRL3に現われれば、TL2-RL3のリンクが確立する。初期設定信号を利用する方法に関して上に実証したとおり、1リンクの確立はパターン処理装置が残りのリンクに対して相対位相と交差接続とを確定するのに充分である。

例示した実施例では、検出されたパターンはすべてが1のストリングであった。一般に、PRBSから除外されているN個の0から成るパターン以外は、どんなNビット・パターンをも使用することができる。PRBSは固定シーケンスであるから、任意の非0のNビット・パターンの位相が確認されればシーケンスの他のNビット・パターン全部の位相が確定する。従って、検出に任意のパターンを使用して同じ情報を得ることができる。単一カウンタは、パターンが検出されるにつれてカウンタを一つの受信線路から他へ切換える手段も存在する場合には、システム全体に対する必要

なパターン検出能力を示すことができることに注目すること。

所定のパターンを探すにはパターン処理装置は不要である。パターン処理装置は単に並列受信線路に乗っている任意のNビット試料の内容を検査することができるだけである。これらの内容は単一リンクの識別と共に、初期設定、どの送信チャンネルが使用されているかの知識、または他の手段のいずれかを通して、通信リンクの交差及び回転には無関係に、送信チャンネルと受信チャンネルとの対応を完全に確定することができる。迅速に同期化することが重要な場合、及び処理能力が制約されていない場合には、単に最初の有効なNビット長のワードをサンプルして初期設定と正しい交差接続とを行うことができる。

サンプルは連続ビットから構成される必要はない。最も明らかなのは、サンプルは連続して2^Nビット離れて配置されたNビットから構成することができる。これは連続するNビットのサンプルと同じ情報を生ずるので、同じ結論を得ることが

できる。ただし、非連続ビット・サンプルを規定する際に他の間隔を使用することができる。

本発明は所定のPRWSを発生するのに使用される実際の送信ハードウェアとは無関係に適用されることは明らかである。受信機側発生装置にはかなりの柔軟性が与えられるが注入器は利用する受信機側発生装置の形式に適合しなければならない。例示した実施例においては、注入器は作動されたとき所定のシーケンスを単に注入するだけである。代案として、注入器は、たとえば、任意に捕捉されたNビット長PRWSサンプルの内容に基いてパターン処理装置が計算した注入パターンを受入れることができる。

〔発明の効果〕

以上説明したように、本発明を用いることにより、備え付けの疑似ランダム・ワード・シーケンス発生装置を交換あるいは再構築することなしに異なるチャンネル数の並列線路を有する通信線の主にビット誤り率試験を行うことができる。

4. 図面の簡単な説明

第1図は本発明による疑似ランダム・ワード発生装置用の同期装置を組み入れたビット誤り率試験器の概略図、第2図は第1図の通信システムの送信機側発生装置の出力のワード・シーケンスを示す図、第3図は本発明による別の同期装置を組み入れた別のビット誤り率試験器の概略図である。

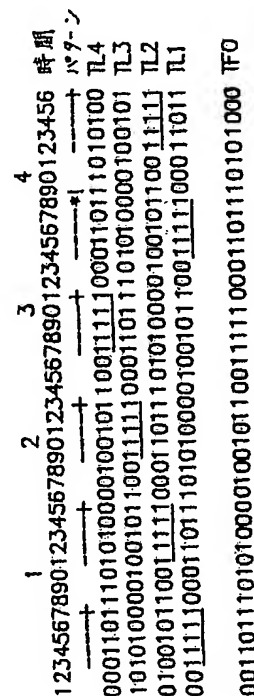
- | | |
|---------------|---------|
| 10: ビット誤り率試験器 | 11: 送信機 |
| 12: 送信機側発生装置 | 21: 受信機 |
| 22: 受信機側発生装置 | 23: 注入器 |
| 24: パターン処理装置 | |

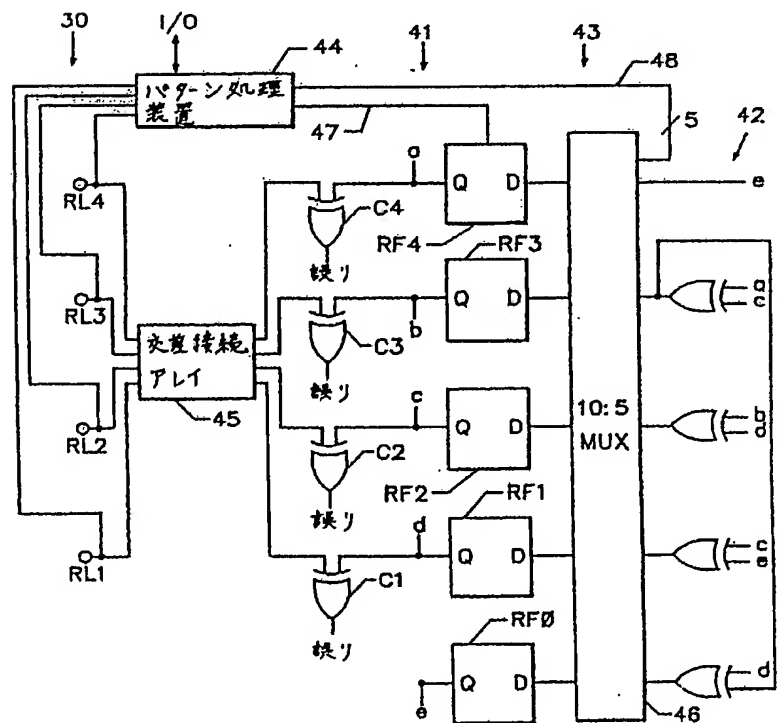
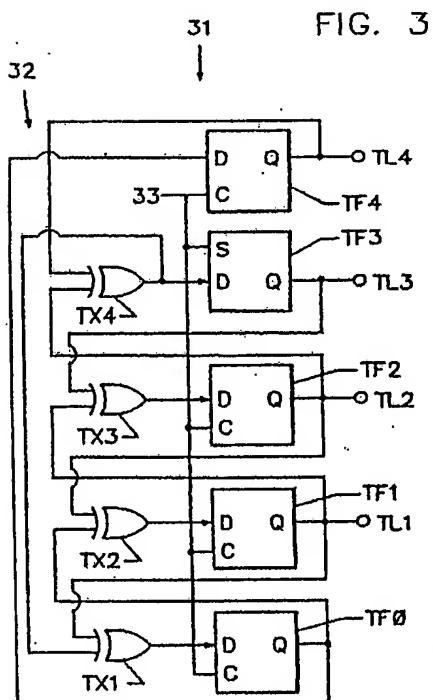
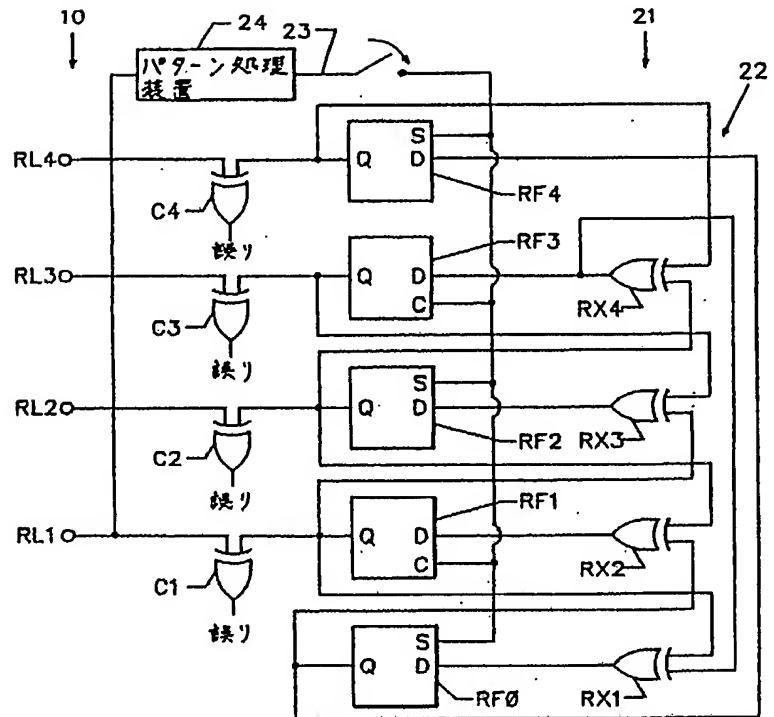
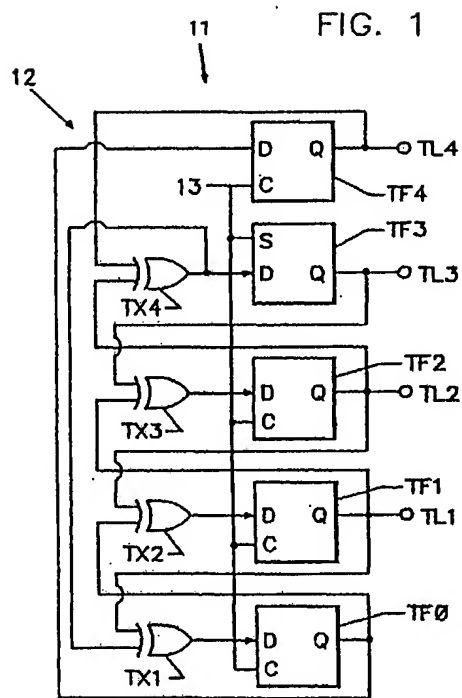
出題人

横河・ヒューレット・パッカード株式会社

代理人 弁理士 長谷川 次男

FIG. 2





Japanese Utility Model Application Laid-open

Publication number: 56-155551

Date of Publication: 20. 11. 1981

Int.Cl.: H04L 1/00

Application number: 55-51788

Applicant: NEC Corporation

Date of filing: 18. 4. 1980

Inventor: Mitsuru Nomoto

Yoshiyuki Takagi

Title: Multi-System Code Error Detection Device

Utility Model Registration Claim

A multi-system code error detection device in a code error measurement comprising means for branching pattern signal strings on a transmission side into N (N is an arbitrary integer) strings corresponding to N measured objects, N independent receiving systems for enabling a simultaneous and parallel measurement of code errors of N measured objects by N strings of the pattern signals outputted by the branching means, and prohibiting means for removing an erroneous measurement caused by disturbance for the measurement system by an output result of the receiving systems.